

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010061524 A
(43)Date of publication of application: 07.07.2001

(21)Application number: 1019990064020
(22)Date of filing: 28.12.1999
(51)Int. Cl. H01L 21/28

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: LEE, SEONG GWON

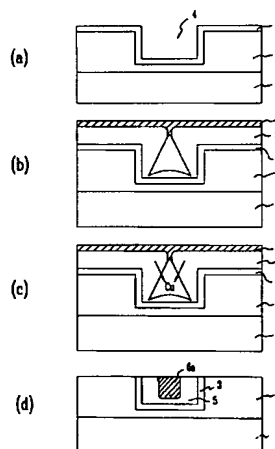
(54) METHOD FOR MANUFACTURING METAL INTERCONNECTION OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a metal interconnection of a semiconductor device is to provide an excellent step coverage effect in forming a copper metal interconnection by a damascene method.

CONSTITUTION: An insulating layer(2) is formed on a substrate(1) having various elements for forming a semiconductor device. A trench (4) of a predetermined depth is formed in the insulating layer by an etching process using a photoresist layer pattern defining a metal interconnection. After the photoresist layer pattern is eliminated, a barrier metal layer(3) is formed on the entire surface. A copper thin film(5) and a metal thin film(6) capable of decreasing a melting point

of copper metal are consecutively formed by performing a plasma-enhanced chemical vapor deposition(PECVD) method on the entire surface. The copper thin film is reflowed to completely bury the trench by a rapid thermal process. An alloy layer of the copper thin film and a metal thin film is formed on the copper thin film, and a planarization process is performed to expose the insulating layer by an etch-back process.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020727)

Patent registration number (1003580570000)

Date of registration (20021010)

특2001-0061524

(19) 대한민국특허청 (KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/28	(11) 공개번호 (43) 공개일자	특2001-0061524 2001년07월07일
(21) 출원번호	10-1999-0064020	
(22) 출원일자	1999년12월28일	
(71) 출원인	주식회사 하이닉스반도체 박종섭	
(72) 발명자	경기 이천시 부발읍 마미리 산136-1 이성권	
(74) 대리인	경기도이천시부발읍현대전자사원임대아파트08-104호 최승민, 신영무	
심사청구 : 있음		
(54) 반도체 소자의 금속배선 형성방법		

요약

본 발명은 반도체 소자의 금속 배선 형성방법에 관한 것이다.

본 발명은 다마신 방법으로 반도체 소자의 구리 배선을 형성하는 공정에서 반도체 소자를 형성하기 위한 여러요소가 구비된 기판 상에 트렌치를 형성한 후 플라즈마 기상증착방법으로 구리 박막 및 금속박막을 연속적으로 트렌치에 증착하고, 금속 열처리공정을 실시하여 순간적으로 금속 박막을 구리 박막에 고용시킴으로써 용융점 저하를 유도하여 구리 리플로우(Reflow) 시켜 플라즈마 기상증착방법으로 구리박막을 증착하면서도 화학기상증착방법으로 증착할 경우에 얻을 수 있는 우수한 스텝 커버리지 효과를 얻을 수 있다.

도표도

도1

색인어

금속배선, 구리배선

참고문헌

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 소자의 단면도.
도 2는 본 발명에서 금속 박막 중 Zr이 구리 금속에 고용될 경우 용융점이 저하되는 것을 도시한 그래프
<도면의 주요 부분에 대한 부호 설명>

- | | |
|-------------|----------|
| 1 : 기판 | 2 : 절연막 |
| 3 : 베리어 금속층 | 4 : 트렌치 |
| 5 : 구리박막 | 6 : 금속박막 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 특히 다마신 (Damascene) 방법을 이용한 구리 금속배선 형성시 우수한 스텝 커버리지 효과를 얻을 수 있는 반도체 소자의 금속배선 형성방법에 관한 것이다.

일반적으로, 반도체 소자의 집적도가 증가하면서 반도체 소자의 실리콘 기판과 금속간의 상호연결 또는 하부층 금속배선과 상부층 금속배선의 연결이 빈번해지는 등 점차 콘택 및 비아 홀 사이즈의 증횡비가 커

지고 있다. 특히, 0.10 μ m 이하의 디자인 룰을 갖는 기가(616A)급 DRAM 반도체의 경우는 소자간의 전기적 연결 및 신뢰성 측면에서, 현재 반도체 소자의 금속 배선 재료로 사용되고 있는 알루미늄 배선은 일렉트로마이그레이션, SM 특성 저하 및 높은 비저항으로 인하여 사용이 어렵게 됨에 따라 구리금속 배선을 이용하려는 연구가 진행되고 있다. 구리 배선은 기존의 알루미늄 배선 방식보다 금속 배선의 저항을 낮출 수 있으며 신뢰성 측면에서도 우수한 것으로 알려져 있다. 그러나, 구리 배선을 이용함에 있어서 구리금속이 갖는 고유 특성으로 인해 알루미늄 배선과는 다른 공정상의 보완이 필요하다.

구리 금속이 갖는 문제점은 첫째, 효과적으로 구리박막을 증착하기 위한 금속 유기 소오스(Metal organic source)의 개발이 필요하고, 둘째, 구리박막과 할로겐 족 기체와의 낮은 반응성으로 인한 식각이 어렵고, 셋째, 구리원자의 크기가 작아 주위 다른 절연막으로 확산이 용이하고, 넷째, 구리원자와 산소 등 물질과의 반응이 용이하여 다공성을 갖는 구리산화막의 형성 되는 등 많은 문제점을 갖고있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 다마신(Damascene) 방법을 이용한 구리 금속배선 형성시 우수한 스텝 커버리지 효과를 얻고, 구리 금속의 문제점을 해소하여 반도체 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 금속배선 형성방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 금속배선 형성방법은 반도체 소자를 구성하기 위한 여러요소가 구비된 기판 상에 절연막을 형성한 후 금속 배선을 정의하는 감광막 패턴을 이용한 식각공정으로 상기 절연막에 일정 깊이 트렌치를 형성하고, 감광막 패턴을 제거한 후 전체 상부면에 베리어 금속층을 형성하는 단계; 전체 상부면에 플라즈마 기상증착방법으로 구리 박막 및 구리금속의 용융점을 저하시킬 수 있는 금속박막을 연속적으로 형성하는 단계; 및 금속 열처리공정으로 상기 구리박막이 리플로우 되어 트렌치가 완전히 매립되고, 상기 구리박막에는 구리박막 및 금속박막의 합금을 형성시킨 후 에치 백 공정으로 절연막이 노출되도록 평탄화하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명하면 다음과 같다.

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 소자를 구성하기 위한 여러요소가 구비된 기판(1) 상에 절연막(2)을 형성한 후 금속 배선을 정의(define)하는 감광막 패턴을 이용한 식각공정으로 절연막(2)에 일정 깊이 트렌치(Trench;4)를 형성하고, 감광막 패턴을 제거한 후 전체 상부면에 베리어 금속층(3)을 형성한다.

상기에서, 베리어 금속층(3)은 화학적 기상증착방법 또는 플라즈마 기상증착방법으로 TiN, W, CrN, Ti, TiV, TaN, TaW, CoN, Mo 및 MoN 중 어느 하나를 100 내지 1000 Å 두께로 형성한다. 절연막(2)은 HfO₂막, SiO₂막, PE-산화막, PE-질화막, TEOS막, BPSG막 및 SOG막 중 어느 하나로 형성한다.

도 1b를 참조하면, 전체 상부면에 플라즈마 기상증착방법으로 구리 박막(5) 및 구리금속의 용융점을 저하시킬 수 있는 금속박막(6)을 연속적으로 형성한다.

상기에서, 구리박막(5)은 1000 내지 10000 Å 두께로 형성하고, 구리금속의 용융점을 저하시킬 수 있는 금속박막(6)은 Zr, Zn, Mg 및 Ti 금속층 중 어느 하나로 이루어진다.

도 1c는 금속 열처리공정으로 구리박막(5)이 리플로우(Ref low)되는 과정의 소자의 단면도이다.

상기에서, 금속 열처리공정은 불활성 또는 질소 가스 분위기에서 600 내지 1100°C에서 실시하는데, 금속 열처리공정에서 순간적으로 금속박막(6)이 구리박막(5)을 고용시켜 용융점이 저하되어 구리박막(5)의 리플로우 되는 것을 유도한다. 금속 열처리 공정 조건으로 반응로(Furnace), RTP 또는 RTA 처리를 이용할 수 있다.

도 1d를 참조하면, 금속 열처리공정으로 구리박막(5)이 리플로우 되어 트렌치가 완전히 매립되고, 구리박막(5)에는 구리박막(5) 및 금속박막(6)의 합금(6a)을 형성한 후 에치 백(Etch back)공정으로 절연막(2)이 노출되도록 평탄화한다.

상기에서, 에치 백공정은 화학적 기계적 연마방법을 이용한다.

도 2는 금속 박막(6) 중 Zr이 구리 금속에 고용될 경우 용융점이 저하되는 것을 도시한 그래프이다.

발명의 효과

상술한 바와같이, 본 발명은 다마신 방법으로 구리 배선 형성시 구리박막을 고용시켜 용융점이 저하되어 구리박막의 리플로우를 유도하는 금속을 플라즈마 방법으로 구리박막과 함께 연속적으로 형성한 후 금속 열처리 공정으로 구리박막을 리플로우 시켜 플라즈마 기상증착방법으로 구리박막을 증착하면서도 화학기상증착방법으로 증착할 경우에 얻을 수 있는 우수한 스텝 커버리지 효과를 얻을 수 있어 반도체 소자의 전기적 특성이 향상된다.

(57) 청구의 범위

청구항 1. 반도체 소자를 구성하기 위한 여러요소가 구비된 기판 상에 절연막을 형성한 후 금속 배선을 정의하는 감광막 패턴을 이용한 식각공정으로 상기 절연막에 일정 깊이 트렌치를 형성하고, 감광막 패턴을 제거한 후 전체 상부면에 베리어 금속층을 형성하는 단계;

전체 상부면에 플라즈마 기상증착방법으로 구리 박막 및 구리금속의 용융점을 저하 시킬 수 있는 금속박막을 연속적으로 형성하는 단계; 및

금속 열처리공정으로 상기 구리박막이 리플로우 되어 트렌치가 완전히 매립되고, 상기 구리박막에는 구리 박막 및 금속박막의 합금을 형성시킨 후 에치 백 공정으로 절연막이 노출되도록 평탄화하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 2. 제 1 항에 있어서,

상기 베리어 금속층은 화학적 기상증착방법 또는 플라즈마 기상증착방법으로 TiN, WN, CrN, Ti, TiV, TaN, TaW, CoN, Mo 및 MoN 중 어느 하나를 100 내지 1000 Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 3. 제 1 항에 있어서,

상기 구리박막은 1000 내지 10000 Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 4. 제 1 항에 있어서,

상기 구리금속의 용융점을 저하 시킬 수 있는 금속박막은 Zr, Zn, Mg 및 Ti 금속중 어느 하나로 이루어지는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 5. 제 1 항에 있어서,

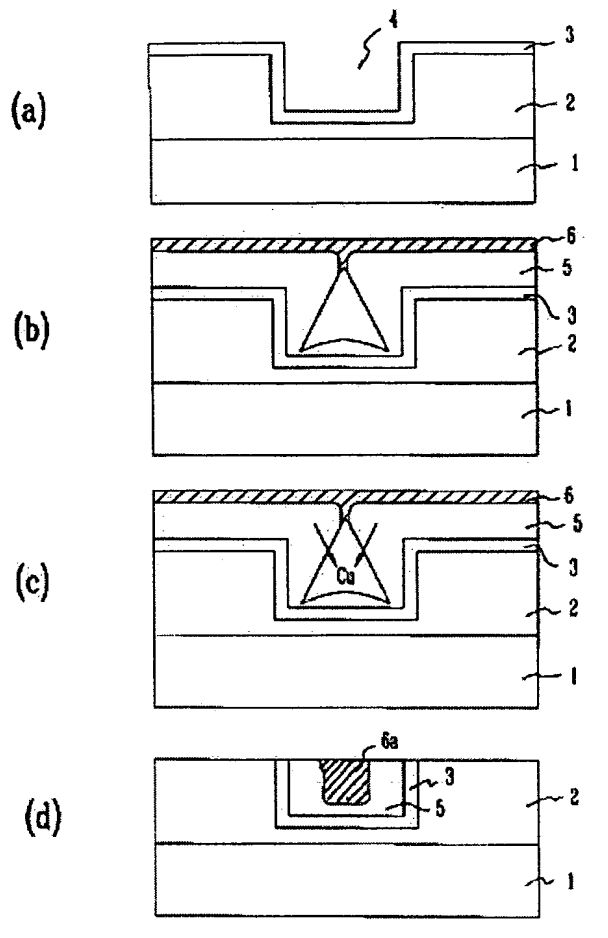
상기 금속 열처리공정은 불활성 또는 질소 가스 분위기에서 600 내지 1100°C에서 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 6. 제 1 항에 있어서,

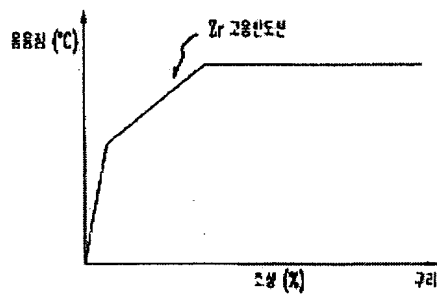
상기 에치 백공정은 화학적 기계적 연삭공정을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

도면

도면1



도면2



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.